

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年6月16日 (16.06.2005)

PCT

(10) 国際公開番号
WO 2005/055301 A1

(51) 国際特許分類⁷: H01L 21/304, 21/308, 21/304

(21) 国際出願番号: PCT/JP2004/016001

(22) 国際出願日: 2004年10月28日 (28.10.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-401657 2003年12月1日 (01.12.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 三菱住友シリコン株式会社 (SUMITOMO MITSUBISHI SILICON CORPORATION) [JP/JP]; 〒1058634 東京都港区芝浦1丁目2番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 古屋田 栄 (KOY-ATA, Sakae) [JP/JP]; 〒1058634 東京都港区芝浦1丁目2番1号三菱住友シリコン株式会社内 Tokyo (JP). 高石 和成 (TAKAISHI, Kazushige) [JP/JP]; 〒1058634 東京都港区芝浦1丁目2番1号三菱住友シリコン株式会社内 Tokyo (JP).

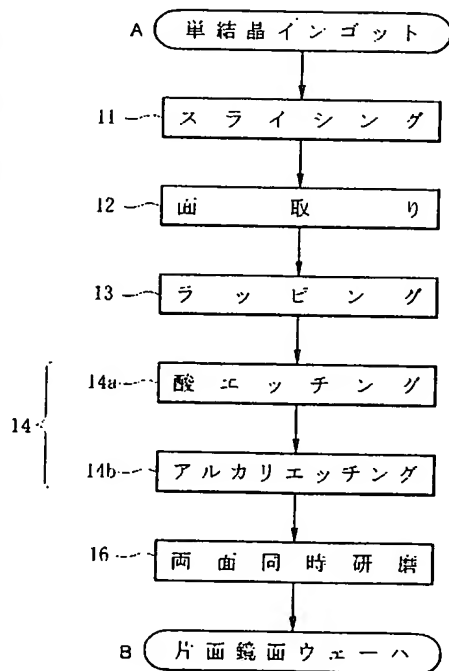
(74) 代理人: 須田 正義 (SUDA, Masayoshi); 〒1700013 東京都豊島区東池袋1丁目11番1号日本生命東池袋ビル Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,

[続表有]

(54) Title: SILICON WAFER PRODUCING METHOD

(54) 発明の名称: シリコンウェーハの製造方法



A... SINGLE-CRYSTAL INGOT
11... SLICING
12... CHAMFERING
13... LAPPING
14a... ACID ETCHING
14b... ALKALI ETCHING
16... BOTH-SIDE SIMULTANEOUS POLISHING
B... SINGLE-SIDE MIRROR POLISHING

(57) Abstract: A silicon wafer producing method includes an etching step (14) at which an acid etching solution and an alkaline etching solution are placed in etching baths and a silicon wafer having a process transformation layer and passed through a lapping step is dipped in order in the acid etching solution and the alkaline etching solution to remove the process transformation layer and a both-side simultaneous polishing step (16) at which after the etching step the both sides of the wafer are simultaneously polished. The method is characterized in that as the alkali etching solution at the etching step a 40 to 60 wt% sodium hydrate aqueous solution is used, the depth A of the top surface material removed of the wafer at the both-side simultaneous polishing step is 5 to 10 μ m, the depth B of the bottom surface material removed is 2 to 6 μ m, and the difference (A-B) between the depth A and B is 3 to 4 μ m. The producing method provides a single-side mirror-polished silicon wafer such that the both sides of the wafer have a high-precision planarity and a low surface roughness and can be visually distinguished from each other, and the planarity of the wafer held by, e.g., a stepper chuck is excellent.

(57) 要約: 本発明のシリコンウェーハの製造方法は、複数のエッチング槽に酸エッチング液とアルカリエッチング液をそれぞれ貯え、ラッピング工程を経て加工変質層を有するシリコンウェーハを酸エッチング液とアルカリエッチング液とに順次浸漬して加工変質層を除去するエッチング工程 (14) と、エッチング工程の後に、ウェーハの表裏面を同時に研磨する両面同時研磨工程 (16) とを含み、エッチング工程のアルカリエッチング液に 40~60 重量%水酸化ナトリウム水溶液を用い、両面同時研磨工程でウェーハの表面における研磨代 A を 5~10 μ m とし、裏面における研磨代 B を 2~6 μ m とし、研磨代 A と研磨代 B との差 (A-B) を 3~4 μ m とすることを特徴とする。本発明の製造方法は、ウェーハ両面が高精度の平坦度及び小さい表面粗さを有しかつウェーハの表裏面を目視により識別可能な片面鏡面ウェーハであって、ステッパチャック等に保持した状態におけるウェーハ平坦度に優れたシリコンウェーハを提供する。



NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。